

OPTIMIZACIÓN DE DESFASADORES DE LINEA CARGADA

R. Pous Grebol, A. Elias Fusté, E. de los Reyes
E.T.S.I.Telecomunicación, Apartado 30002, 08080-
Barcelona.

RESUMEN

Esta comunicación presenta un método de optimización para la concepción de desfasadores de línea periódicamente cargada. La optimización se ha realizado con relación a los siguientes parámetros:

- Ensanchamiento de la banda de utilización definida por los puntos donde el circuito presenta unas pérdidas de retorno superiores a los 20 dB.
- Minimización del error de desfase en la banda de frecuencias donde el desfasador conserva la adaptación prevista.

Los resultados se han aplicado en la realización de desfasadores digitales de 5 bits donde las células centrales ($22.5^\circ, 45^\circ, 90^\circ$) se han hecho con la misma estructura que la presente en el desfasador de 22.5° .

INTRODUCCIÓN

Los desfasadores de línea cargada han sido bien estudiados por Opp y Hofman [1], Bahl y Gupta [2] y H.A. Atwater [3]; sin embargo existe la posibilidad de ensanchar la banda de utilización minimizando el error en el desfase en los extremos de dicha banda.

Un circuito desfasador digital consiste en la conexión en cascada de n células desfasadoras simples; la célula desfasadora mínima debe ofrecer un desfase igual a $360^\circ/2^n$ mientras que la célula de desfase máximo debe ser de $360^\circ/2=180^\circ$.

Existen diversas maneras de realizar cada una de las células desfasadoras elementales.

En la figura 1 está representado un circuito desfasador de línea cargada. Consiste en dos admitancias iguales ($Y_i = G_i + jB_i$) conectadas en paralelo a una línea de

impedancia característica Z_0 y longitud eléctrica 0. La transición entre los dos estados de las admitancias Y_i producida por el cambio de polarización de los diodos produce un salto de fase a la señal de radiofrecuencia de valor $\Delta\phi$.

Entre los tres tipos en los que se pueden clasificar los desfases a línea cargada [3], se ha escogido el dado por la condición de carga $B_1 = -B_2 = B$, para un desfase $\Delta\phi$ y a la frecuencia central f_0 . Las cargas Y_i conmutan entre valores complejo-conjugados, y es condición necesaria que la separación entre cargas sea de 90° a la frecuencia donde se cumpla la condición de carga (CC) para que el circuito esté adaptado. Las cargas Y_i varían la fase de S_{21} entre $\pm \Delta\phi/2$ con:

$$\tan\left(\frac{\Delta\phi}{2}\right) = \frac{\bar{B}}{1 - \bar{B}^2/2}$$

Una de las ventajas más evidentes de la configuración compleja-conjugada consiste en que la amplitud de la señal de salida varía muy poco entre un estado y otro, el factor de equilibrio solo puede ser afectado por la diferencia de comportamiento (perdidas resistivas) entre los dos estados. El principal problema que presentan estos desfases a líneas cargadas es que no son útiles para desfases mayores de 45° , pues cuando el desfase a realizar aumenta también aumenta el valor de las susceptancias B_i y el circuito empieza a presentar desadaptaciones muy elevadas, estrechándose así el ancho de banda. Para evitar este inconveniente y conservar las ventajas de la línea cargada, en el caso de un desfase de cinco bits, las células de 45° y 90° han sido realizadas a partir de desfases de 22.5° , conectados en cascada y previamente optimizados para que presentaran unos errores en el desfase muy pequeños, en un ancho de banda doble del que realmente se necesitaba para el circuito final. Y para disminuir el número de diodos utilizados se han substituido las cargas centrales Y_i por una sola de valor doble.

ELECCION Y CALCULO DE LAS CARGAS

A partir de los valores X_r y X_f correspondientes a la susceptancia del diodo PIN en sus dos estados de polarización, se han de conseguir los valores de la admitancia $\pm jB$ que necesitamos como carga para obtener valores un desfase θ_0 según la ecuación (1). Es pues indispensable trabajar con un circuito que ofrezca dos grados de libertad; el circuito típico de Bahl y Gupta [2] (fig 2a) presenta una solución fácil si se dimensionan adecuadamente la impedancia de la línea Z_s y su longitud eléctrica θ . El problema de estos circuitos es que para desfases bajos aparecen impedancias características Z_s muy altas, irrealizables en microstrip ($>100 \text{ Ohm}$).

Hemos pues elegido una configuración electricamente equivalente [3] (fig 2a), donde los dos grados de libertad vienen dados por los segmentos θ_{s1} y θ_{s2} .

CELULA ELEMENTAL DESFASADORA DE "22.5°"

El objetivo del trabajo consiste en la realización de un desfasador de 5 bits centrado a 1.5 GHz y que presente el mayor ancho de banda posible.

Los semiconductores usados son diodos PIN NEC ND6651-3A caracterizados en la banda de 1-2 GHz; el circuito se ha construido en microstrip sobre un sustrato Epsilam-10 de constante dieléctrica 10.2 y altura H del dieléctrico 1.27 mm.

La primera célula de 22.5° a sido concebida según el método clásico [2]; es decir, que a la frecuencia central de 1.5 GHz las cargas Y_i toman valores complejo-conjugados y la separación entre ellas es de un cuarto de longitud de onda ($\lambda/4$).

Los resultados correspondientes a los cálculos y medidas realizados de esta célula se presentan en la figura 3: en ellas apreciamos un ancho de banda del 25%, unas pérdidas de inserción menores de 0.25 dB y un error (no simétrico) de $\pm 2^\circ$ en la banda de 1.4-1.6 GHz.

OPTIMIZACIÓN DE LA CELULA DE 22,5°

Para aplicar el método de optimización se ha buscado sobre la banda de interés una zona de frecuencias donde las curvas de la susceptancia B_i ofrezcan un máximo paralelismo entre ellas. Esto nos repercutirá en una disminución del error en el desfase. El análisis matemático muestra que los parámetros θ_{s1} y θ_{s2} influyen de una manera decisiva sobre la forma de la curva del desfase y la influencia del parámetro θ repercute especialmente en la buena adaptación del circuito.

Observando las curvas de la figura 3a y 3b vemos que en la mitad de la banda inferior (1.2-1.5 GHz) obtenemos una curva de desfase casi constante con la frecuencia a la vez que las curvas de admitancia B_i en esa zona son paralelas.

A grandes rasgos, el método de optimización consiste en hacer una traslación en frecuencia para llevar la parte más plana de la curva del desfase hacia la banda de interés. La manera de conseguir esto es la de situar de cargas complejo-conjugadas a una frecuencia mayor de la central (1.5GHz). En nuestro diseño se ha tomado una frecuencia de 1.8 GHz (extremo de la banda). Con esta modificación conseguimos tener una curva casi plana en la banda de 1.2-1.8 GHz, pero ahora el circuito no cumple la condición de carga a la frecuencia en la que la separación entre las cargas es de 90°. Por lo tanto el circuito está desadaptado.

Para conseguir otra vez la adaptación se ha modificado la longitud eléctrica θ haciéndola mayor a 90°. En el circuito realizado se requirió una θ de 108° para conseguir que el circuito estuviera adaptado como antes.

Con esta modificación hemos obtenido un etapa desfasadora que presenta un error en el desfase de $\pm 0,5^\circ$ en una banda del 20% y unas pérdidas de inserción en esa banda menores de 0,25 dB.

DESFAZADORES A VARIAS ETAPAS

La optimización obtenida con la célula de 22.5° nos permite poder pensar en la realización de una célula de 45° a partir de la conexión en cascada de dos de dichas células; a fin de economizar los diodos se han substituido las admitancias centrales por un sólo elemento de valor doble ($2Y_i$)

La figura 5 muestra los resultados obtenidos; se puede constatar que la banda no es muy grande (17% para perd. retorno > 20 dB) pero es muy superior a la que se podría obtener con una célula desfasadora de línea cargada diseñada para producir un desfase de 45° [3]. El error de fase en los extremos de la banda es de $\pm 1^\circ$ ($B=20\%$). Con la misma técnica se ha construido una célula de 90° , (4 etapas de 22.5°). El número de diodos presentes en el circuito se ha reducido a 5. Los valores medidos muestran una banda útil (20 dB de pérdidas de retorno) del 20% con unos errores en el desfase de $\pm 2^\circ$, lo que es bajo todos los puntos de vista muy superior a lo que habríamos conseguido de haber realizado el desfasador de 90° con un híbrido (branch-line) o con un circuito de líneas conmutadas (SPDT).

DESFAZADOR DIGITAL DE CINCO BITS

Los desfases sucesivos de un desfasador de 5 bits se muestran en la figura 5 [$0^\circ - (360^\circ - 11.25^\circ)$]. Este desfasador se ha realizado según la técnica descrita en este trabajo para los desfasadores de $11.25^\circ, 22.5^\circ, 45^\circ, 90^\circ$. La célula correspondiente al desfasador de 180° se ha hecho a partir de un híbrido (branchline), cosa que nos ha limitado el ancho de banda del circuito final.

Desde el punto de vista del desfase se han marcado una banda lineal de 400 MHz (20%) centrada a 1.5 GHz con errores de fase inferiores a $\pm 10^\circ$ para el desfase máximo ($360^\circ - 11.25^\circ$): no obstante la banda útil referente a la adaptación de 20 dB de pérdidas de retorno es del 15% limitación que viene impuesta por el desfasador de 180° .

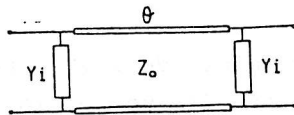
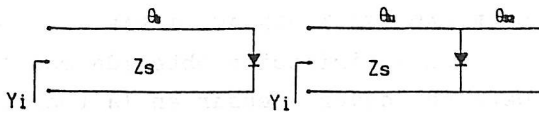


Fig. 1

Desfasador de l. cargada



(a)

Fig. 2

(b)

Realizaciones de la línea cargada

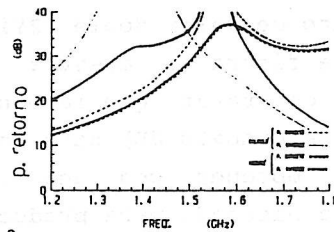
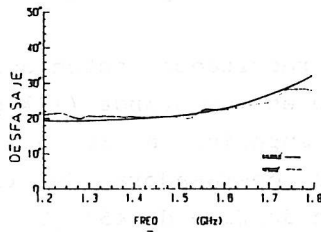


Fig. 2

Célula de 22,5 sin optimizar

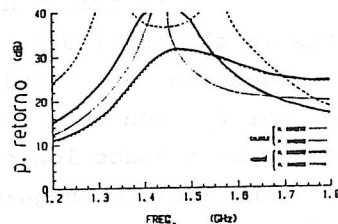
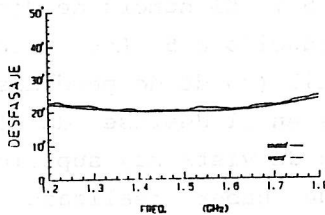


Fig. 3

Célula de 22,5 optimizada

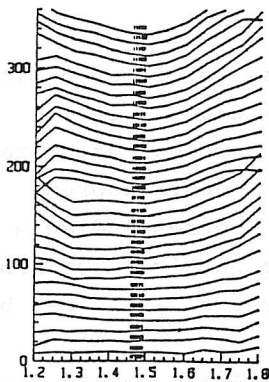


Fig. 4

Desfasaje en saltos de 11,25 del desfasador de 5 bits.

BIBLIOGRAFIA

- /1/ Y.L. Opp, W.F. Hoffman. "Design of digital loaded line phase shift networks for microwave thin film applications". IEEE Trans. MTT
- /2/ J. Bahl, K.C. Gupta. "Design of loaded-line pin diode phase shifter circuits". IEEE vol MTT-28 n°3 March 1980.
- /3/ H.A. Atwater. "Circuit design of the loaded line phase shifter". IEEE vol MTT-33 n° 7 July 1985.